

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年2月23日 (23.02.2006)

PCT

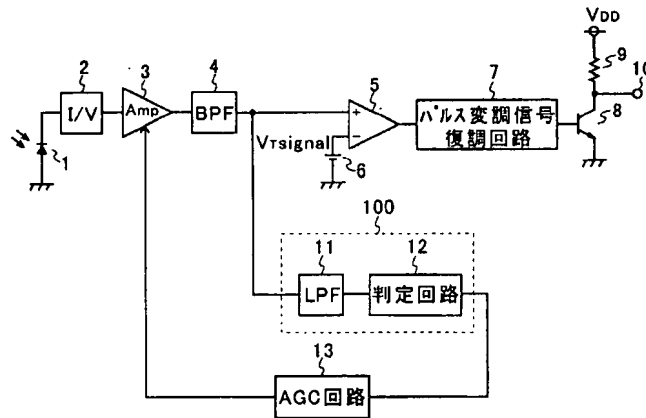
(10) 国際公開番号
WO 2006/018941 A1

- (51) 国際特許分類⁷: H04B 1/10, H04Q 9/00, H04B 10/02 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 矢野 伸治 (YANO, Shlnji) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 西川 英敏 (NISHIKAWA, Hidetoshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2005/012738
- (22) 国際出願日: 2005年7月11日 (11.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-238640 2004年8月18日 (18.08.2004) JP
特願2004-246161 2004年8月26日 (26.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK,

/続葉有/

(54) Title: JUDGMENT CIRCUIT, GAIN ADJUSTMENT CIRCUIT, SIGNAL PROCESSING CIRCUIT, AND ELECTRIC DEVICE

(54) 発明の名称: 判別回路、ゲイン調整回路、信号処理回路、及び電気機器



7 PULSE-MODULATED SIGNAL DEMODULATION CIRCUIT
12 JUDGMENT CIRCUIT
13 AGC CIRCUIT

(57) Abstract: A judgment circuit judges whether an input signal is a noise or a signal repeated alternately with a halt section. The judgment circuit includes: a low pass filter having a cut-off frequency smaller than the frequency of the noise and greater than the reciprocal of the cycle of one frame of the signal repeated alternately with the halt section and the halt section; and a judgment circuit for judging whether the input signal is a noise of the signal repeated alternately with the halt section according to the output of the low pass filter. Thus, it is possible to judge whether the input is a noise or a signal repeated alternately with a halt section by using a small-size device.

(57) 要約: 本発明に係る判別回路は、入力信号についてノイズと休止区間を挟んで繰り返される信号とを判別する判別回路であって、カットオフ周波数が前記ノイズの周波数より小さく前記休止区間を挟んで繰り返される信号の1フレームと前記休止区間とを合わ

/続葉有/



LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

せた周期の逆数より大きいローパスフィルタと、前記ローパスフィルタの出力に応じて前記入力信号がノイズか休止区間を挟んで繰り返される信号かを判定する判定回路とを備える判別回路である。このような構成により、ノイズと休止区間を挟んで繰り返される信号とを判別でき尚かつ小型化を図ることができる。

明 細 書

判別回路、ゲイン調整回路、信号処理回路、及び電気機器

技術分野

- [0001] 本発明は、ノイズと休止区間を挟んで繰り返される信号とを判別する判別回路並びにそれを備えた信号処理回路及び電気機器に関する。また、本発明は、長い休止区間を挟んで繰り返される信号を入力する可変利得器(可変利得増幅器或いは可変利得減衰器)のゲインを調整するゲイン調整回路並びにそれを備えた信号処理回路及び電気機器に関する。

背景技術

- [0002] 従来の信号処理回路として、ここでは赤外線リモコン送信機から送信される光信号を受光する受光回路を例に挙げて説明する。従来の受光回路の一般的な回路構成をFig. 11に示す。
- [0003] Fig. 11に示す従来の受光回路は、フォトダイオード1と、電流－電圧変換回路2と、アンプ14と、バンドパスフィルタ4と、検波回路15と、パルス変調信号復調回路7と、トランジスタ8と、プルアップ抵抗9と、出力端子10とによって構成されており、ノイズと休止区間を挟んで繰り返される信号とを判別する判別回路を具備していない。
- [0004] 赤外線リモコン送信機(図示せず)から送信される光信号はフォトダイオード1によって電流信号に変換され、その電流信号が電流－電圧変換回路2によって電圧信号に変換され、その電圧信号がアンプ14によって増幅された後バンドパスフィルタ4に輸入される。
- [0005] バンドパスフィルタ4は、入力した信号の所定範囲の周波数成分のみを通過させ検波回路15に送出する。バンドパスフィルタ4の出力信号は、例えばFig. 12に示すようになる。Fig. 12に示すバンドパスフィルタ4の出力信号S4は、蛍光灯の点灯に伴って発生する周波数100～120HzのノイズNと、赤外線リモコン送信機から送信される光信号に基づく信号Sとを有している。
- [0006] 検波回路15は、バンドパスフィルタ4の出力信号S4がFig. 12に示す検波レベルLVより大きいかな否かを判定し、バンドパスフィルタ4の出力信号S4が検波レベルLVよ

り大きい場合はLowレベルであり、バンドパスフィルタ4の出力信号S4が検波レベルLVより大きくない場合はHighレベルである信号S15を生成してパルス変調信号復調回路7に出力する。また、検波回路15は、バンドパスフィルタ4の出力信号S4が所定値より大きくなったことを検知すると、検波レベルLVを第1の所定値から第2の所定値(>第1の所定値)に切り換え、バンドパスフィルタ4の出力信号S4が所定の期間継続して所定値以下であることを検知すると、検波レベルLVを第2の所定値から第1の所定値に切り換える。

[0007] 検波回路15の出力信号S15は、蛍光灯の点灯に伴って発生する周波数100～120HzのノイズNに基づくノイズパルスNPと、赤外線リモコン送信機から送信される光信号に基づく信号Sに基づく信号パルスSPとを有している。

[0008] パルス変調信号復調回路7は、パルス変調信号である検波回路15の出力信号S15を復調し、その復調した信号をトランジスタ8のベースに出力する。トランジスタ8のエミッタは接地され、トランジスタ8のコレクタはプルアップ抵抗9に接続され、トランジスタ8のコレクタとプルアップ抵抗9との接続ノードに出力端子10が接続されるので、出力端子10から出力される信号は、パルス変調信号復調回路7から出力される信号の反転信号になる。

特許文献1:特表2001-502147号公報

発明の開示

発明が解決しようとする課題

[0009] 出力端子10から出力される信号は、例えばマイクロコンピュータに入力される。マイクロコンピュータがノイズパルスNPに基づくパルスを見逃す(除去やキャンセル等)できないものであれば誤動作は起こらないが、マイクロコンピュータがノイズパルスNPに基づくパルスを無視(除去やキャンセル等)できないものであれば誤動作が起こるおそれがあった。

[0010] 上記の問題点を解決するためには、ノイズと休止区間を挟んで繰り返される信号とを判別する判別回路を設け、当該判別回路によってノイズが検出されるとアンプ13のゲインを小さくするという方策が考えられる。なお、特許文献1にはノイズと休止区間を挟んで繰り返される信号とを判別する判別方法が開示されているが、特許文献1

で開示されている判別方法を実現する回路はカウンタ等を具備する必要があり回路規模を小さくすることができなかった。

[0011] 従来の信号処理回路の中には、Fig. 9に示すような長い休止区間RT(信号発生区間STの2～4倍)を挟んで繰り返される信号を処理する信号処理回路(例えば、海外メーカー向けの赤外線リモコン送信機から送信される光信号を受光する受光回路等)がある。

[0012] Fig. 9に示すような長い休止区間RTを挟んで繰り返される信号を処理する信号処理回路には、信号認識レベル V_T signalを用いて信号を認識する信号認識部が設けられている。Fig. 9に示すような長い休止区間RTを挟んで繰り返される信号を処理する信号処理回路において、無信号時にFig. 10に示すような周期的なノイズが入ってきて、そのノイズのレベルが信号認識レベル V_T signalより大きい場合、ノイズが前記信号認識部によって信号として認識され、誤動作の主要因となる。

[0013] そこで、誤動作を防止するために、信号とノイズを判別し信号とノイズをそれぞれ検出する判別手段を設け、前記判別手段によってノイズが検出されると、前記信号認識部よりも前段に設けられる可変利得器のゲインを小さくして、ノイズのレベルが信号認識レベル V_T signalより大きくならないようにする方策が考えられる。

[0014] ここで、信号とノイズを判別し信号とノイズをそれぞれ検出する判別手段として、例えば上述した特許文献1に開示されている技術が挙げられる。特許文献1に開示されている技術は、長い休止区間Tpを挟んで繰り返される信号とノイズを判別する方法であって、チェック区間Tcheck(例えば、96mS)中にノイズの周期より長く且つ休止区間Tpより短い休止区間Td(例えば、24mS)が発生すれば信号であると認識し、チェック区間Tcheck中に休止区間Tdが発生しなければノイズであると認識することの特徴している。

[0015] しかしながら、特許文献1に開示されている技術を用いた場合は、チェック区間Tcheck毎に信号かノイズかを認識するため、ゲイン調整速度が遅いという問題があった。例えば、ゲインが128段階であって、Fig. 9に示すような信号を処理する場合、最小ゲインから最大ゲインに移行するのに12.7S(=127×100mS)必要であり、最大ゲインから最小ゲインに移行するのに12.7S(=127×100mS)必要である。

[0016] 本発明は、ノイズと休止区間を挟んで繰り返される信号とを判別でき尚かつ小型化を図ることができる判別回路並びにそれを備えた信号処理回路及び電気機器を提供することを第1の目的とする。また、本発明は、ゲイン調整速度が速いゲイン調整回路並びにそれを備えた信号処理回路及び電気機器を提供することを第2の目的とする。

課題を解決するための手段

[0017] 上記第1の目的を達成するために、本発明に係る判別回路は、入力信号についてノイズと所定の時間を挟んで繰り返される信号とを判別する判別回路であって、前記ノイズの周波数より小さく前記所定の時間を挟んで繰り返される信号の1フレームと前記所定の時間とを合わせた周期の逆数より大きいカットオフ周波数を有するローパスフィルタと、前記ローパスフィルタの出力に応じて前記入力信号がノイズか所定の時間を挟んで繰り返される信号かを判定する判定回路とを備える構成である。

[0018] このような構成によると、前記入力信号が前記ノイズであれば前記ローパスフィルタはHighレベルを保持する信号を出力し、前記入力信号が前記所定の時間を挟んで繰り返される信号であれば前記ローパスフィルタは前記所定の時間を挟んで繰り返される信号の1フレームに対応するHighレベル期間と前記所定の時間に対応するLowレベル期間とを繰り返す信号を出力するので、前記ローパスフィルタの出力波形に基づいてノイズと所定の時間を挟んで繰り返される信号とを判別することができる。また、上記構成の判別回路は、前記ローパスフィルタの出力波形に基づいてノイズと所定の時間を挟んで繰り返される信号とを判別するので、カウンタ等を具備する必要がなく回路規模を小さくすることができる。

[0019] また、上記第1の目的を達成するために、本発明に係る信号処理回路は、可変利得器(可変利得増幅器或いは可変利得減衰器)と、前記可変利得器の出力に基づく信号を入力し、その入力した信号についてノイズと所定の時間を挟んで繰り返される信号とを判別する判別回路と、前記判別回路の判別結果に応じて前記可変利得器のゲインを制御するゲイン制御回路とを備え、前記判別回路を上述した本発明に係る判別回路とする構成としている。上記本発明に係る信号処理回路が、前記可変利得器の出力信号に基づく信号を入力するバンドパスフィルタを備え、前記判別回路

が前記バンドパスフィルタの出力信号に基づく信号を入力するようにしてもよく、更に前記バンドパスフィルタの出力信号に基づく信号を処理する信号処理部を備えるようにしてもよい。また、上記第1の目的を達成するために、本発明に係る電気機器は、上記いずれかの構成の本発明に係る信号処理回路を備える構成としている。

[0020] 上記第2の目的を達成するために、本発明に係るゲイン調整回路は、入力信号と所定のノイズレベル電圧とを比較する比較回路と、前記比較回路の出力に基づく信号に応じて所定の加算値又は所定の減算値を出力する加減算値計算回路と、ゲイン値を一時的に記憶するゲインレジスタと、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算し、演算結果を前記ゲイン値として前記ゲインレジスタに出力する加減算器と、前記ゲインレジスタから出力されるゲイン値に応じて外部可変利得器のゲインを調整するゲイン制御部とを備える構成(以下、第1の構成ともいう)としている。

[0021] このような構成によると、特許文献1に開示されている技術のようにチェック区間Tcheck毎に信号かノイズかを認識するのではなく、前記入力信号が信号であるかノイズであるかの判別を行わずにゲイン調整を行う方式になるため、ゲイン調整速度を速くすることができる。

[0022] また、第1の構成のゲイン調整回路において、所定の周期のクロック信号を発振する発振器と、前記比較回路の出力をセット端子に入力し、前記クロック信号をリセット端子に入力し、前記加減算値計算回路に出力データを送出するセットリセットフリップフロップとを備え、前記ゲインレジスタが前記クロック信号に基づいてクロック動作を行うようにしてもよい。

[0023] このような構成によると、前記所定の周期をノイズの周期より長く且つFig. 9に示す休止区間RTより短い期間にすることで、ゲインを上げる際でもゲインを下げる際でもゲイン調整速度を速くすることができる。

[0024] また、第1の構成のゲイン調整回路において、クロック信号を発振する発振器と、前記判定部の出力をリセット端子に入力し、リセットされなければ第1の時間毎にパルス出力を行う第1のカウンタと、第1のカウンタの出力をリセット端子に入力し、リセットされなければ第2の時間毎にパルス出力を行う第2のカウンタとを備え、前記ゲインレジ

スタ、第1のカウンタ、及び第2のカウンタが前記クロック信号に基づいて動作し、前記加減算値計算回路が、第2のカウンタからのパルス出力を入力すると所定の減算値を出力し、第1のカウンタからのパルス出力を入力すると所定の加算値を出力するようにしてもよい。

[0025] このような構成によると、第1の時間をノイズの周期より長く且つFig. 9に示す休止区間RTより短くし、第2の時間をFig. 9に示す信号発生区間STと休止区間RTとを加算した時間にすることで、ゲインを上げる際のゲイン調整速度を速くすることができる。

[0026] また、外部可変利得器のゲインが必要以上に下がった場合でもFig. 9に示す休止区間RT中に必要なゲインまで復帰できるようにする観点或いはゲインを上げる際のゲイン調整速度を更に速くする観点から、上記いずれかの構成のゲイン調整回路において、前記所定の加算値を前記所定の減算値の絶対値よりも大きくすることが望ましい。

[0027] また、ゲイン値のばたつきを抑制する観点から、上記いずれかの構成のゲイン調整回路において、前回の所定の加算値又は所定の減算値を一時的に記憶する記憶部を備え、前記加減算器が、前記記憶部が記憶している前回の所定の加算値又は所定の減算値と前記加減算値計算回路から出力される所定の加算値又は所定の減算値とが同一でなければ、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算せずに、前記ゲインレジスタから出力されるゲイン値をそのまま前記ゲイン値として前記ゲインレジスタに出力するようにしてもよい。

[0028] また、上記第2の目的を達成するために、本発明に係る信号処理回路は、可変利得器と、前記可変利得器の出力に基づく信号を処理する信号処理部と、前記可変利得器の出力に基づく信号を入力し、前記可変利得器のゲインを調整するゲイン調整回路とを備え、前記ゲイン調整回路を上述した本発明に係るゲイン調整回路とする構成としている。また、上記第2の目的を達成するために、本発明に係る電気機器は、上述した本発明に係る本発明に係る信号処理回路（可変利得器と、前記可変利得器の出力に基づく信号を処理する信号処理部と、前記可変利得器の出力に基づく

信号を入力し、前記可変利得器のゲインを調整するゲイン調整回路とを備え、前記ゲイン調整回路を上述した本発明に係るゲイン調整回路とする構成の信号処理回路)を備える構成としている。

発明の効果

- [0029] 本発明によると、ノイズと休止区間を挟んで繰り返される信号とを判別でき尚かつ小型化を図ることができる判別回路並びにそれを備えた信号処理回路及び電気機器を実現することができる。また、本発明によると、ゲイン調整速度が速いゲイン調整回路並びにそれを備えた信号処理回路及び電気機器を実現することができる。

図面の簡単な説明

- [0030] [図1]は、本発明に係る受光回路の一構成例を示す図である。

[図2A]、

[図2B]、

[図2C]及び

[図2D]は、Fig. 1に示す本発明に係る受光回路の各部信号波形を示す図である。

[図3]は、本発明に係る受光回路の他の構成例を示す図である。

[図4]は、本発明に係る受光回路の他の構成例を示す図である。

[図5]は、Fig. 4に示す受光回路が具備する加減算器の動作フローチャートである。

[図6]は、本発明に係る受光回路の他の構成例を示す図である。

[図7]は、Fig. 6に示す受光回路が具備するカウンタの一構成例を示す図である。

[図8]は、Fig. 6に示す受光回路の各部出力のタイミングチャートである。

[図9]は、長い休止区間RTを挟んで繰り返される信号の波形の一例を示す図である。

。

[図10]は、周期的なノイズの波形の一例を示す図である。

[図11]は、従来の受光回路の一般的な回路構成を示す図である。

[図12]は、Fig. 11に示す従来の受光回路の各部信号波形を示す図である。

符号の説明

- [0031] 1 フォトダイオード
 2 電流－電圧変換回路

- 3 可変利得増幅器、アンプ
- 4 バンドパスフィルタ
- 5 オペアンプ
- 6、22 定電圧源
- 7 パルス変調信号復調回路
- 8 トランジスタ
- 9 プルアップ抵抗
- 10 出力端子
- 11 ローパスフィルタ
- 12 判定回路
- 13 AGC回路
- 21 比較器
- 23 発振器
- 24 セットリセットフリップフロップ
- 25 加減算値計算回路
- 26、26' 加減算器
- 27、27' ゲインレジスタ
- 28 電圧－電流変換回路
- 100 判別回路
- 200～202 ゲイン調整回路
- AND1 論理積回路
- FF1～FFn フリップフロップ
- INV1 否定回路

発明を実施するための最良の形態

[0032] 本発明の実施形態について図面を参照して以下に説明する。ノイズと休止区間を挟んで繰り返される信号とを判別でき尚かつ小型化を図ることができる判別回路を備えた本発明に係る信号処理回路として、ここでは赤外線リモコン送信機から送信される光信号を受光する受光回路を例に挙げて説明する。ノイズと休止区間を挟んで繰

り返される信号とを判別でき尚かつ小型化を図ることができる判別回路を備えた本発明に係る受光回路の一構成例をFig. 1に示す。なお、Fig. 1においてFig. 11と同一の部分には同一の符号を付す。

- [0033] Fig. 1に示す受光回路は、フォトダイオード1と、電流－電圧変換回路2と、ゲインが可変する可変利得増幅器3と、バンドパスフィルタ4と、オペアンプ5と、定電圧源6と、パルス変調信号復調回路7と、トランジスタ8と、プルアップ抵抗9と、出力端子10と、ノイズと休止区間を挟んで繰り返される信号とを判別する判別回路100と、可変利得増幅器3のゲインを制御するゲイン制御回路(以下、AGC(Automatic Gain Control)回路という)13とによって構成されている。
- [0034] 赤外線リモコン送信機(図示せず)から送信される光信号はフォトダイオード1によって電流信号に変換され、その電流信号が電流－電圧変換回路2によって電圧信号に変換され、その電圧信号が可変利得増幅器3によって増幅された後バンドパスフィルタ4に入力される。
- [0035] バンドパスフィルタ4は、入力した信号の所定範囲の周波数成分のみを通過させオペアンプ5の非反転入力端子及び判別回路100に送出する。
- [0036] オペアンプ5は、バンドパスフィルタ4の出力信号と定電圧源6から出力される信号認識レベル電圧 V_{tr} signalとの比較結果を増幅してパルス変調信号復調回路7に出力する。
- [0037] パルス変調信号復調回路7は、パルス変調信号であるオペアンプ5の出力信号を復調し、その復調した信号をトランジスタ8のベースに出力する。トランジスタ8のエミッタは接地され、トランジスタ8のコレクタはプルアップ抵抗9に接続され、トランジスタ8のコレクタとプルアップ抵抗9との接続ノードに出力端子10が接続されるので、出力端子10から出力される信号は、パルス変調信号復調回路7から出力される信号の反転信号になる。このように、Fig. 1に示す受光回路は、パルス変調信号である光信号を受光し、その光信号のパルス発生に対応してLowレベル、その光信号のパルス不発生に対応してHighレベルとなるコード信号を出力することができる。
- [0038] 判別回路100は、バンドパスフィルタ4の出力信号に含まれているノイズと休止区間を挟んで繰り返される信号とを判別し、その判別結果をAGC回路13に出力する。A

GC回路13は、判別回路100によってノイズが判別されている場合に可変利得増幅器3のゲインを小さくし、判別回路100によって休止区間を挟んで繰り返される信号が判別されている場合に可変利得増幅器3のゲインを大きくする。これにより、ノイズが信号認識レベル V_{T_signal} より大きくなることを防止することができる。したがって、例えば出力端子10から出力される信号がノイズに基づくパルスを見逃す(除去やキャンセル等)できないマイクロコンピュータに入力されたとしても、誤動作が起こるおそれなくなる。

- [0039] ここで、Fig. 1に示す受光回路の特徴部分である判別回路100について詳細に説明する。判別回路100は、ローパスフィルタ11と判定回路12とによって構成されている。
- [0040] ローパスフィルタ11は、バンドパスフィルタ4の出力信号の所定周波数(カットオフ周波数)より小さい周波数成分のみを通過させ判定回路12に送出する。
- [0041] 赤外線リモコン送信機から光信号が送信されていない状態で蛍光灯が点灯している場合、バンドパスフィルタ4の出力信号はFig. 2Aに示すように蛍光灯の点灯に伴って発生する周波数100~120Hzのノイズのみで構成される。一方、赤外線リモコン送信機から光信号が送信されている状態で蛍光灯が点灯していない場合、バンドパスフィルタ4の出力信号はFig. 2Cに示すように赤外線リモコン送信機から送信される光信号に基づく信号のみで構成される。
- [0042] バンドパスフィルタ4の出力信号がFig. 2Aに示す波形であればFig. 2Bに示すようにHighレベルを保持する信号を出力し、バンドパスフィルタ4の出力信号がFig. 2Cに示す波形であればFig. 2Dに示すように赤外線リモコン送信機から送信される光信号の1フレームFに対応するHighレベル期間と赤外線リモコン送信機から送信される光信号の各フレーム間に挟まれる休止区間RTに対応するLowレベル期間とを繰り返す信号を出力するように、ローパスフィルタ11の時定数を定める。なお、Fig. 2Dに示す信号のHighレベル期間とLowレベル期間とを合わせた期間Tは100~150msである。
- [0043] 判別回路12は、ローパスフィルタ11の出力信号のHighレベル期間が所定期間(例えば150ms)より大きい場合バンドパスフィルタ4の出力信号を蛍光灯の点灯に伴

って発生する周波数100～120Hzのノイズと判定し、ローパスフィルタ11の出力信号のHighレベル期間が所定期間より大きくない場合バンドパスフィルタ4の出力信号を休止区間を挟んで繰り返される信号と判定する。ローパスフィルタ11の出力信号のLowレベル期間すなわち信号の休止区間RTでゲインを上げれば、平均的なゲインは信号入力時の方が高く設定できるため、ローパスフィルタ11の出力信号のHighレベル期間をノイズがある状態と判定し、ローパスフィルタ11の出力信号のLowレベル期間をノイズがない状態と判定しても、ノイズ除去の効果が得られる。

- [0044] なお、バンドパスフィルタ4の出力信号が、Fig. 2AやFig. 2Cに示す信号波形ではなく、Fig. 12に示す信号S4のように蛍光灯の点灯に伴って発生する周波数100～120HzのノイズNに基づくノイズパルスNPと、赤外線リモコン送信機から送信される光信号に基づく信号Sに基づく信号パルスSPとを有している場合、可変利得増幅器3のゲインが大きければ、ローパスフィルタ11の出力信号はFig. 2Bに示すようになり、判別回路100によってノイズが判別される。そして、このように判別回路100によってノイズが判別されると、AGC回路13が可変利得増幅器3のゲインを小さくするので、ノイズが信号認識レベル V_{T_signal} より大きくなることを防止することができる。
- [0045] 判別回路100は、ローパスフィルタ11の出力波形に基づいてノイズと休止区間を挟んで繰り返される信号とを判別するので、カウンタ等を具備する必要がなく回路規模を小さくすることができる。
- [0046] 上述したFig. 1に示す受光回路は当該受光回路から出力される信号に基づいて機器全体を制御する制御部を備えた各種電気機器(例えば、TVやオーディオ機器等)に搭載することができる。また、本実施形態では受光素子としてフォトダイオードを用いたが、フォトトランジスタ等の他の受光素子を用いても構わない。
- [0047] ゲイン調整速度が速いゲイン調整回路を備えた本発明に係る信号処理回路として、ここでは海外メーカー向けの赤外線リモコン送信機から送信される光信号を受光する受光回路を例に挙げて説明する。
- [0048] ゲイン調整速度が速いゲイン調整回路を備えた本発明に係る受光回路の一構成例をFig. 3に示す。なお、Fig. 3においてFig. 1と同一の部分には同一の符号を付す。Fig. 3に示す受光回路は、フォトダイオード1と、電流－電圧変換回路2と、ゲイ

ンが可変するアンプ3と、バンドパスフィルタ4と、オペアンプ5と、定電圧源6と、パルス変調信号復調回路7と、トランジスタ8と、プルアップ抵抗9と、出力端子10と、ゲイン調整回路200とによって構成されている。

- [0049] 赤外線リモコン送信機(図示せず)から送信される光信号はフォトダイオード1によって電流信号に変換され、その電流信号が電流－電圧変換回路2によって電圧信号に変換され、その電圧信号がアンプ3によって増幅された後バンドパスフィルタ4に入力される。
- [0050] バンドパスフィルタ4は、入力した信号の所定範囲の周波数成分のみを通過させオペアンプ5の非反転入力端子及びゲイン調整回路200に送出する。
- [0051] オペアンプ5は、バンドパスフィルタ4の出力信号と定電圧源6から出力される信号認識レベル電圧 $V_{T \text{ signal}}$ との比較結果を増幅してパルス変調信号復調回路7に出力する。なお、赤外線リモコン送信機(図示せず)からフォトダイオード1に送られる光信号がパルス変調信号であるので、オペアンプ5の出力信号もパルス変調信号となる。パルス変調信号復調回路7は、パルス変調信号であるオペアンプ5の出力信号を復調し、その復調した信号をトランジスタ8のベースに出力する。トランジスタ8のエミッタは接地され、トランジスタ8のコレクタはプルアップ抵抗9に接続され、トランジスタ8のコレクタとプルアップ抵抗9との接続ノードに出力端子10が接続されるので、出力端子10から出力される信号は、パルス変調信号復調回路7から出力される信号の反転信号になる。
- [0052] ゲイン調整回路200は、バンドパスフィルタ4の出力信号に応じてアンプ3のゲインを調整する。
- [0053] このように、Fig. 3に示す受光回路は、パルス変調信号である光信号を受光し、その光信号のパルス発生に対応してLowレベル、その光信号のパルス不発生に対応してHighレベルとなるコード信号を出力することができる。また、詳細を後述するゲイン調整回路200がアンプ3のゲインを調整するので、ノイズが信号認識レベル電圧 $V_{T \text{ signal}}$ より大きくなることを防止することができる。
- [0054] ここで、Fig. 3に示す受光回路の特徴部分であるゲイン調整回路200について詳細に説明する。ゲイン調整回路200は、比較器21と、定電圧源22と、発振器(OSC

)23と、セトリセットフリップフロップ24と、加減算値計算回路25と、加減算器26と、ゲインレジスタ27と、電圧－電流変換回路28とによって構成されている。ゲイン値を一時的に記憶するゲインレジスタ27は、7bitのレジスタであるので、ゲイン値は128段階に調整可能である。

- [0055] 比較器21は、バンドパスフィルタ4の出力信号が信号であるかノイズであるかの判別を行っておらず、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}} (< V_{T\text{ signal}})$ より大きければHighレベルの信号を、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}}$ より大きくなければLowレベルの信号をセトリセットフリップフロップ24のセット端子に出力する。
- [0056] 発振器23から発振される所定の周期(ノイズの周期より長く且つFig. 9に示す休止区間RTより短い期間、本実施形態では20mS)のクロック信号によって、前記所定の周期毎にセトリセットフリップフロップ24がリセットされる。
- [0057] 加減算値計算回路25は、セトリセットフリップフロップ24の出力がHighレベルであれば所定の減算値(本実施形態では-1)を出力し、セトリセットフリップフロップ24の出力がLowレベルであれば所定の加算値(本実施形態では2)を出力する。そして、加減算器26は、ゲインレジスタ27が出力するゲイン値(7bitのデジタルデータ)と加減算値計算回路25が出力する減算値或いは加算値とを演算し、演算結果をゲイン値(7bitのデジタルデータ)としてゲインレジスタ27に出力する。
- [0058] ゲインレジスタ27は、発振器23から発振されるクロック信号に基づいて前記所定の周期毎にクロック動作を行う。ゲインレジスタ27が出力するゲイン値(7bitのデジタルデータ)は加減算器26以外に電圧－電流変換回路28にも出力される。電圧－電流変換回路28は、電圧信号であるゲイン値(7bitのデジタルデータ)をアナログ電流信号に変換し、そのアナログ電流信号によってアンプ3のゲインを可変する。
- [0059] Fig. 3に示す受光回路のゲイン調整回路200では、例えば、Fig. 9に示すような信号を処理する場合、最小ゲインから最大ゲインに移行するのに1. 27S(=127×20mS÷2(加算値))必要であり、最大ゲインから最小ゲインに移行するのに2. 54S(=127×20mS)必要である。一方、特許文献1に開示されている技術を用いた場

合は、同様の条件で、最小ゲインから最大ゲインに移行するのに12.7S必要であり、最大ゲインから最小ゲインに移行するのに12.7S必要である。このように、Fig. 3に示す受光回路のゲイン調整回路200は、特許文献1に開示されている技術を用いた場合に比べてゲイン調整速度が速い。したがって、Fig. 3に示す受光回路は、急にノイズが発生した場合（例えば蛍光灯が急に点灯した場合等）の対応がよりスムーズになる。

[0060] また、特許文献1に開示されている技術を用いた場合、チェック区間Tcheckをカウントする複数のフリップフロップから成るカウンタが必要であるが、Fig. 3に示す受光回路のゲイン調整回路200ではカウンタの代わりに複数の論理ゲートから成る計算回路ブロック（加減算値計算回路25及び加減算器26）を設けている。カウンタと計算回路ブロックの回路規模を比較すると、計算回路ブロックの方がカウンタに比べて断然回路規模が小さくすることができるので、Fig. 3に示す受光回路のゲイン調整回路200は小型化及び低コスト化を図ることができる。

[0061] Fig. 3に示す受光回路のゲイン調整回路200は、ノイズと信号の判別を行っていない。このため、Fig. 3に示す受光回路が信号を受け続けた場合、信号がノイズレベル電圧 V_{T_noise} より大きいのでアンプ3のゲインが必要以上に下がることもある。しかしながら、信号区間STと信号区間STとの間には休止区間RT（Fig. 9参照）があるので、休止区間RT中に必要なゲインまで復帰できれば何ら不具合は生じない。なお、休止区間RT中に必要なゲインまで復帰できるように、加算値を減算値の絶対値よりも大きく設定しておくことが望ましい。加算値を大きくするほどゲインの復帰が確実になるが、加算値を大きくし過ぎるとノイズも信号と認識されるおそれがあるため、加算値を適切な値に設定する必要がある。

[0062] 次に、ゲイン調整速度が速いゲイン調整回路を備えた本発明に係る受光回路の他の構成例をFig. 4に示す。なお、Fig. 4においてFig. 3と同一の部分には同一の符号を付し詳細な説明を省略する。Fig. 4に示す受光回路は、Fig. 3に示す受光回路のゲイン調整回路200をゲイン調整回路201に置換した構成である。そして、ゲイン調整回路201は、ゲイン調整回路200の加減算器26及びゲインレジスタ27をそれぞれ加減算器26'及びゲインレジスタ27'に置換した構成である。

- [0063] 以下、ゲイン調整回路201について説明する。ゲイン調整回路201は、比較器21と、定電圧源22と、発振器(OSC)23と、セトリセットフリップフロップ24と、加減算値計算回路25と、加減算器26'と、ゲインレジスタ27'と、電圧-電流変換回路28とによって構成されている。ゲイン値を一時的に記憶するゲインレジスタ27'は、9bitのレジスタであって、上位7bitをゲイン値の一時記憶用に用いるので、ゲイン値は128段階に調整可能である。
- [0064] 比較器21は、バンドパスフィルタ4の出力信号が信号であるかノイズであるかの判別を行っておらず、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}} (< V_{T\text{ signal}})$ より大きければHighレベルの信号を、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}}$ より小さくなければLowレベルの信号をセトリセットフリップフロップ24のセット端子に出力する。
- [0065] 発振器23から発振される所定の周期(ノイズの周期より長く且つFig. 9に示す休止区間RTより短い期間、本実施形態では20mS)のクロック信号によって、前記所定の周期毎にセトリセットフリップフロップ24がリセットされる。
- [0066] 加減算値計算回路25は、セトリセットフリップフロップ24の出力がHighレベルであれば所定の減算値(本実施形態では-1)を出力し、セトリセットフリップフロップ24の出力がLowレベルであれば所定の加算値(本実施形態では2)を出力する。
- [0067] 加減算器26'は、ゲインレジスタ27'が出力するゲイン値(上位7bitのデジタルデータ)及び前回の加減算値(下位2ビットのデジタルデータ)と、加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)とを入力する(Fig. 5のステップ#10)。
- [0068] ゲインレジスタ27'が出力する前回の加減算値(下位2ビットのデジタルデータ)と加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)とが同じ値であれば(Fig. 5のステップ#20のYES)、加減算器26'は、ゲインレジスタ27'が出力するゲイン値(上位7bitのデジタルデータ)と加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)とを演算し、演算結果をゲイン値(上位7bitのデジタルデータ)としてゲインレジスタ27'に出力するとともに(Fig. 5のステップ#

30)、加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)を保持すべき加減算値(下位2ビットのデジタルデータ)としてゲインレジスタ27'に出力する(Fig. 5のステップ#40)。一方、ゲインレジスタ27'が出力する前回の加減算値(下位2ビットのデジタルデータ)と加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)とが異なる値であれば(Fig. 5のステップ#20のNO)、加減算器26'は、ゲインレジスタ27'が出力するゲイン値(上位7bitのデジタルデータ)をそのままゲイン値(上位7bitのデジタルデータ)としてゲインレジスタ27'に出力するとともに(Fig. 5のステップ#50)、加減算値計算回路25が出力する減算値或いは加算値(今回の加減算値)を保持すべき加減算値(下位2ビットのデジタルデータ)としてゲインレジスタ27'に出力する(Fig. 5のステップ#60)。

[0069] ゲインレジスタ27'は、発振器23から発振されるクロック信号に基づいて前記所定の周期毎にクロック動作を行う。ゲインレジスタ27'が出力するゲイン値(上位7bitのデジタルデータ)は加減算器26'以外に電圧-電流変換回路28にも出力される。電圧-電流変換回路28は、電圧信号であるゲイン値(上位7bitのデジタルデータ)をアナログ電流信号に変換し、そのアナログ電流信号によってアンプ3のゲインを変換する。

[0070] Fig. 4に示す受光回路のゲイン調整回路201は、Fig. 3に示す受光回路のゲイン調整回路200と同様の効果を奏するとともに、加算値が連続して加減算器26'に入力されなければゲイン値は上がらず、減算値が連続して加減算器26'に入力されなければゲイン値は下がらないので、ゲイン値のばたつきを抑制することができる。

[0071] 次に、ゲイン調整速度が速いゲイン調整回路を備えた本発明に係る受光回路の更に他の構成例をFig. 6に示す。なお、Fig. 6においてFig. 3と同一の部分には同一の符号を付し詳細な説明を省略する。Fig. 6に示す受光回路は、Fig. 3に示す受光回路のゲイン調整回路200をゲイン調整回路202に置換した構成である。そして、ゲイン調整回路202は、ゲイン調整回路200のセットリセットフリップフロップ24をカウンタ29及び30に置換した構成である。

[0072] 以下、ゲイン調整回路202について説明する。ゲイン調整回路202は、比較器21と、定電圧源22と、発振器(OSC)23と、加減算値計算回路25と、加減算器26と、

ゲインレジスタ27と、電圧－電流変換回路28と、カウンタ29及び30とによって構成されている。ゲイン値を一時的に記憶するゲインレジスタ27は、7bitのレジスタであるので、ゲイン値は128段階に調整可能である。

- [0073] 比較器21は、バンドパスフィルタ4の出力信号が信号であるかノイズであるかの判別を行っておらず、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}} (< V_{T\text{ signal}})$ より大きければHighレベルの信号を、バンドパスフィルタ4の出力信号が定電圧源22から出力されるノイズレベル電圧 $V_{T\text{ noise}}$ より大きくなければLowレベルの信号をカウンタ29のリセット端子に出力する。カウンタ29の出力は、カウンタ30のリセット端子及び加減算値計算回路25に送出される。カウンタ30の出力は加減算値計算回路25に送出される。
- [0074] カウンタ29及び30は、発振器23から発振されるクロック信号に基づいてカウンタ動作を行う。カウンタ29及び30は、例えばFig. 7に示すように、複数のフリップフロップFF1～FFnと、否定回路INV1と、論理積回路AND1とから成る構成にするとよい。
- [0075] カウンタ29は、リセットされなければ、ノイズの周期より長く且つFig. 9に示す休止区間RTより短い所定の時間(本実施形態では20mS)毎にパルス出力を行う。カウンタ29は、比較器21の出力がHighレベルになるとリセットされる。カウンタ30は、リセットされなければ、Fig. 9に示す信号発生区間STと休止区間RTとを加算した時間(本実施形態では100mS)毎にパルス出力を行う。カウンタ30は、カウンタ29のパルス出力によってリセットされる。
- [0076] したがって、無信号時の比較器21の出力OUT21、カウンタ30の出力OUT30、及びカウンタ29の出力OUT29のタイミングチャートはFig. 8のようになる。なお、Fig. 8においてT1はノイズが無い区間を示し、T2はノイズが有る区間を示している。
- [0077] 加減算値計算回路25は、カウンタ30からのパルス出力を入力すると所定の減算値(本実施形態では-1)を出力し、カウンタ29からのパルス出力を入力すると所定の加算値(本実施形態では1)を出力する。そして、加減算器26は、ゲインレジスタ27が出力するゲイン値(7bitのデジタルデータ)と加減算値計算回路25が出力する減算値或いは加算値とを演算し、演算結果をゲイン値(7bitのデジタルデータ)としてゲインレジスタ27に出力する。

- [0078] ゲインレジスタ27は、発振器23から発振されるクロック信号に基づいて前記所定の周期毎にクロック動作を行う。ゲインレジスタ27が出力するゲイン値(7bitのデジタルデータ)は加減算器26以外に電圧－電流変換回路28にも出力される。電圧－電流変換回路28は、電圧信号であるゲイン値(7bitのデジタルデータ)をアナログ電流信号に変換し、そのアナログ電流信号によってアンプ3のゲインを可変する。
- [0079] Fig. 6に示す受光回路のゲイン調整回路202では、例えば、Fig. 9に示すような信号を処理する場合、最小ゲインから最大ゲインに移行するのに2.54S($=127 \times 20\text{mS}$)必要であり、最大ゲインから最小ゲインに移行するのに12.7S($=127 \times 100\text{mS}$)必要である。一方、特許文献1に開示されている技術を用いた場合は、同様の条件で、最小ゲインから最大ゲインに移行するのに12.7S必要であり、最大ゲインから最小ゲインに移行するのに12.7S必要である。このように、Fig. 6に示す受光回路のゲイン調整回路202は、特許文献1に開示されている技術を用いた場合に比べてゲインを上げる際のゲイン調整速度が速い。また、加算値を減算値の絶対値よりも大きく設定することにより、ゲインを上げる際のゲイン調整速度を更に速くすることができる。
- [0080] また、Fig. 6に示す受光回路においても、Fig. 3に示す受光回路からFig. 4に示す受光回路への変更と同様の変更を施すことができる。かかる変形を施すことにより、ゲイン値のばたつきを抑制することができる。
- [0081] なお、上述したFig. 3、Fig. 4、Fig. 6の本発明に係る受光回路は当該受光回路から出力される信号に基づいて機器全体を制御する制御部を備えた各種電気機器(例えば、TVやオーディオ機器等)に搭載することができる。また、本実施形態では受光素子としてフォトダイオードを用いたが、フォトトランジスタ等の他の受光素子を用いても構わない。また、各種設定値(ゲインの段階数、信号発生区間STの数値、休止区間RTの数値、加算値、減算値等)は上述した実施形態で用いた値に限定されることはない。

産業上の利用可能性

- [0082] 本発明の判別回路と本発明のゲイン調整回路は、それぞれ信号処理回路(例えば、受光回路)等に適用することができる。また、前記受光回路は、当該受光回路か

ら出力される信号に基づいて機器全体を制御する制御部を備えた各種電気機器(例えば、TVやオーディオ機器等)に搭載することができる。

請求の範囲

- [1] ローパスフィルタと、判定回路とを備え、入力信号についてノイズと所定の時間を挟んで繰り返される信号とを判別する判別回路であって、
- 前記ローパスフィルタは、前記ノイズの周波数より小さく前記所定の時間を挟んで繰り返される信号の1フレームと前記所定の時間とを合わせた周期の逆数より大きいカットオフ周波数を有し、
- 前記判定回路は、前記ローパスフィルタの出力に応じて前記入力信号がノイズか所定の時間を挟んで繰り返される信号かを判定することを特徴とする判定回路。
- [2] 可変利得器と、前記可変利得器の出力に基づく信号を入力し、その入力した信号についてノイズと所定の時間を挟んで繰り返される信号とを判別する判別回路と、前記判別回路の判別結果に応じて前記可変利得器のゲインを制御するゲイン制御回路とを備える信号処理回路であって、
- 前記判別回路は、ローパスフィルタ及び判定回路を備え、
- 前記ローパスフィルタは、前記ノイズの周波数より小さく前記所定の時間を挟んで繰り返される信号の1フレームと前記所定の時間とを合わせた周期の逆数より大きいカットオフ周波数を有し、
- 前記判定回路は、前記ローパスフィルタの出力に応じて前記入力信号がノイズか所定の時間を挟んで繰り返される信号かを判定することを特徴とする信号処理回路。
- [3] 前記可変利得器の出力信号に基づく信号を入力するバンドパスフィルタを備え、
- 前記判別回路が前記バンドパスフィルタの出力信号に基づく信号を入力する請求項2に記載の信号処理回路。
- [4] 前記バンドパスフィルタの出力信号に基づく信号を処理する信号処理部を備える請求項3に記載の信号処理回路。
- [5] 信号処理回路を備える電気機器であって、
- 前記信号処理回路は、可変利得器と、前記可変利得器の出力に基づく信号を入力し、その入力した信号についてノイズと所定の時間を挟んで繰り返される信号とを判別する判別回路と、前記判別回路の判別結果に応じて前記可変利得器のゲインを制御するゲイン制御回路とを備え、

前記判別回路は、ローパスフィルタ及び判定回路を備え、

前記ローパスフィルタは、前記ノイズの周波数より小さく前記所定の時間を挟んで繰り返される信号の1フレームと前記所定の時間とを合わせた周期の逆数より大きいカットオフ周波数を有し、

前記判定回路は、前記ローパスフィルタの出力に応じて前記入力信号がノイズか所定の時間を挟んで繰り返される信号かを判定することを特徴とする電気機器。

- [6] 前記信号処理回路がさらに前記可変利得器の出力信号に基づく信号を入力するバンドパスフィルタを備え、

前記判別回路が前記バンドパスフィルタの出力信号に基づく信号を入力する請求項5に記載の電気機器。

- [7] 前記信号処理回路が前記バンドパスフィルタの出力信号に基づく信号を処理する信号処理部を備える請求項6に記載の電気機器。

- [8] 入力信号と所定のノイズレベル電圧とを比較する比較回路と、

前記比較回路の出力に基づく信号に応じて所定の加算値又は所定の減算値を出力する加減算値計算回路と、

ゲイン値を一時的に記憶するゲインレジスタと、

前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算し、演算結果を前記ゲイン値として前記ゲインレジスタに出力する加減算器と、

前記ゲインレジスタから出力されるゲイン値に応じて外部可変利得器のゲインを調整するゲイン制御部とを備えることを特徴とするゲイン調整回路。

- [9] 所定の周期のクロック信号を発振する発振器と、

前記比較回路の出力をセット端子に入力し、前記クロック信号をリセット端子に入力し、前記加減算値計算回路に出力データを送出するセットリセットフリップフロップとを備え、

前記ゲインレジスタが、前記クロック信号に基づいてクロック動作を行う請求項8に記載のゲイン調整回路。

- [10] クロック信号を発振する発振器と、

前記判定部の出力をリセット端子に入力し、リセットされなければ第1の時間毎にパルス出力を行う第1のカウンタと、

第1のカウンタの出力をリセット端子に入力し、リセットされなければ第2の時間毎にパルス出力を行う第2のカウンタとを備え、

前記ゲインレジスタ、第1のカウンタ、及び第2のカウンタが、前記クロック信号に基づいて動作し、

前記加減算値計算回路が、第2のカウンタからのパルス出力を入力すると所定の減算値を出力し、第1のカウンタからのパルス出力を入力すると所定の加算値を出力する請求項8に記載のゲイン調整回路。

[11] 前記所定の加算値が前記所定の減算値の絶対値よりも大きい請求項8に記載のゲイン調整回路。

[12] 前回の所定の加算値又は所定の減算値を一時的に記憶する記憶部を備え、前記加減算器が、前記記憶部が記憶している前回の所定の加算値又は所定の減算値と前記加減算値計算回路から出力される所定の加算値又は所定の減算値とが同一でなければ、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算せずに、前記ゲインレジスタから出力されるゲイン値をそのまま前記ゲイン値として前記ゲインレジスタに出力する請求項8に記載のゲイン調整回路。

[13] 可変利得器と、前記可変利得器の出力に基づく信号を処理する信号処理部と、前記可変利得器の出力に基づく信号を入力し、前記可変利得器のゲインを調整するゲイン調整回路とを備える信号処理回路であって、

前記ゲイン調整回路が、入力信号と所定のノイズレベル電圧とを比較する比較回路と、前記比較回路の出力に基づく信号に応じて所定の加算値又は所定の減算値を出力する加減算値計算回路と、ゲイン値を一時的に記憶するゲインレジスタと、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算し、演算結果を前記ゲイン値として前記ゲインレジスタに出力する加減算器と、前記ゲインレジスタから出力されるゲイン値に応じて外部可変利得器のゲインを調整するゲイン制御部とを備えることを特徴とする信号

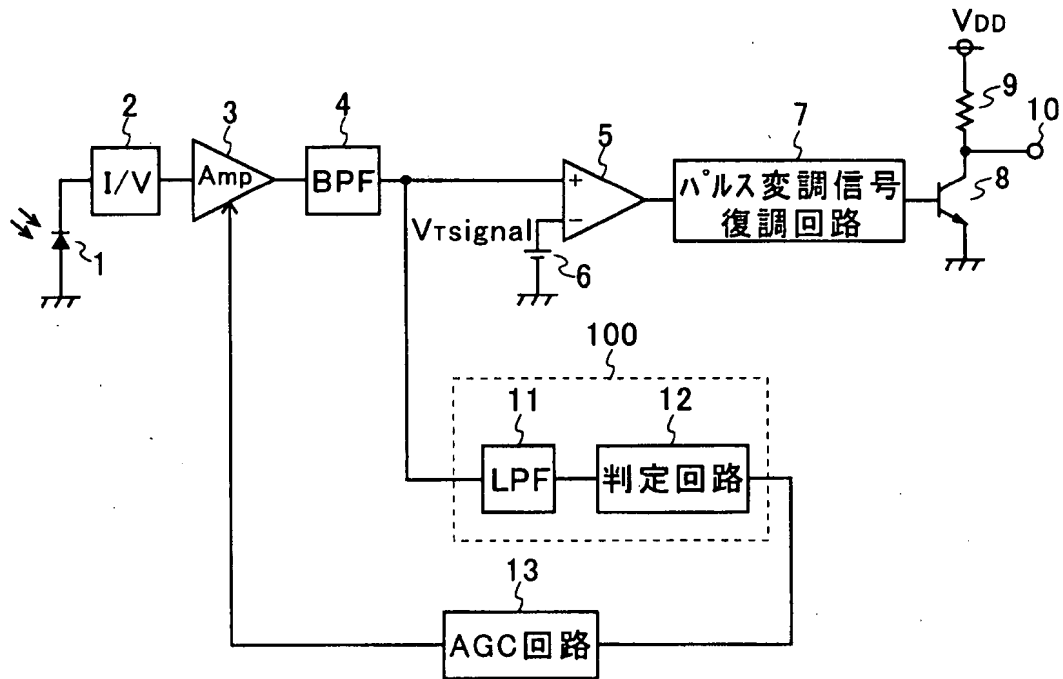
処理回路。

[14] 信号処理回路を備える電気機器であって、

前記信号処理回路が、可変利得器と、前記可変利得器の出力に基づく信号を処理する信号処理部と、前記可変利得器の出力に基づく信号を入力し、前記可変利得器のゲインを調整するゲイン調整回路とを備え、

前記ゲイン調整回路が、入力信号と所定のノイズレベル電圧とを比較する比較回路と、前記比較回路の出力に基づく信号に応じて所定の加算値又は所定の減算値を出力する加減算値計算回路と、ゲイン値を一時的に記憶するゲインレジスタと、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算し、演算結果を前記ゲイン値として前記ゲインレジスタに出力する加減算器と、前記ゲインレジスタから出力されるゲイン値に応じて外部可変利得器のゲインを調整するゲイン制御部とを備えることを特徴とする電気機器。

[図1]



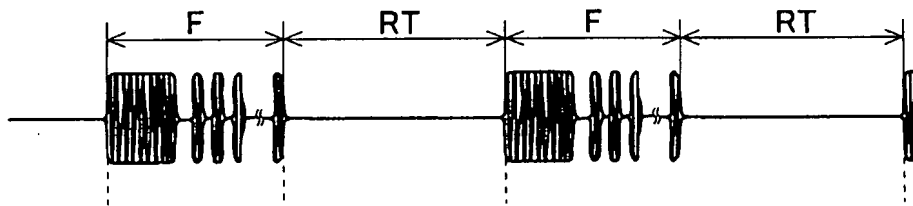
[図2A]



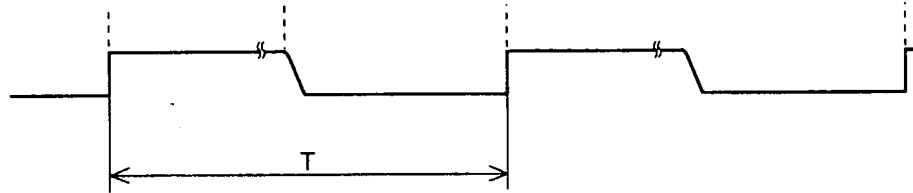
[図2B]



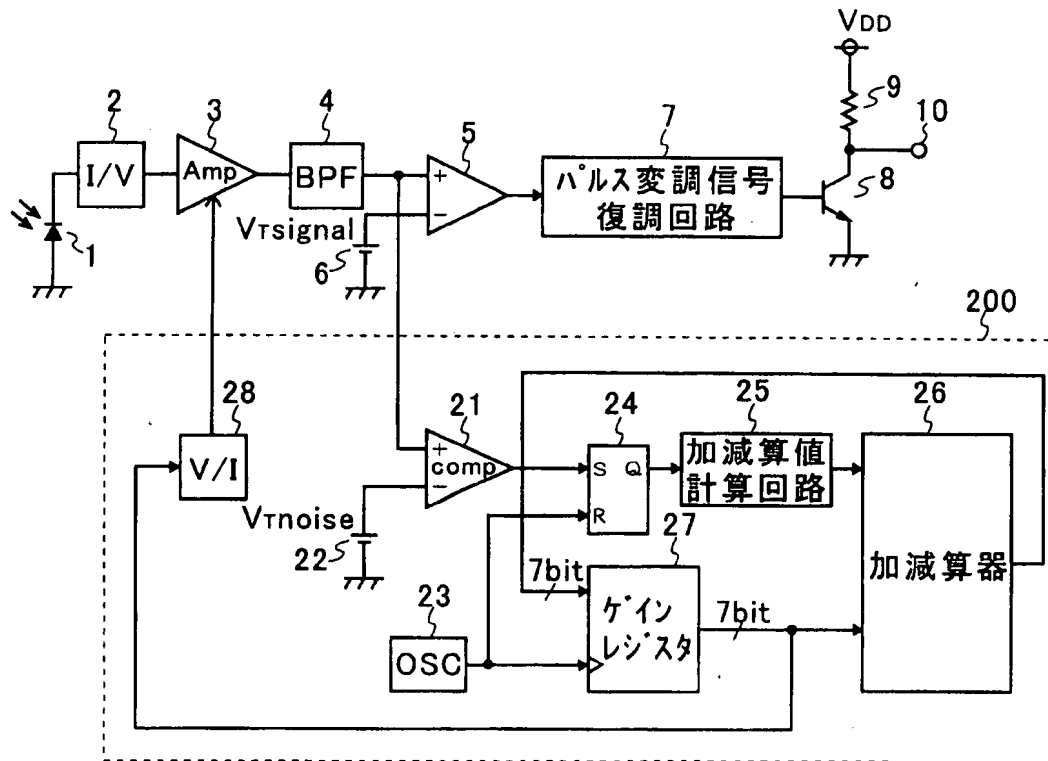
[図2C]



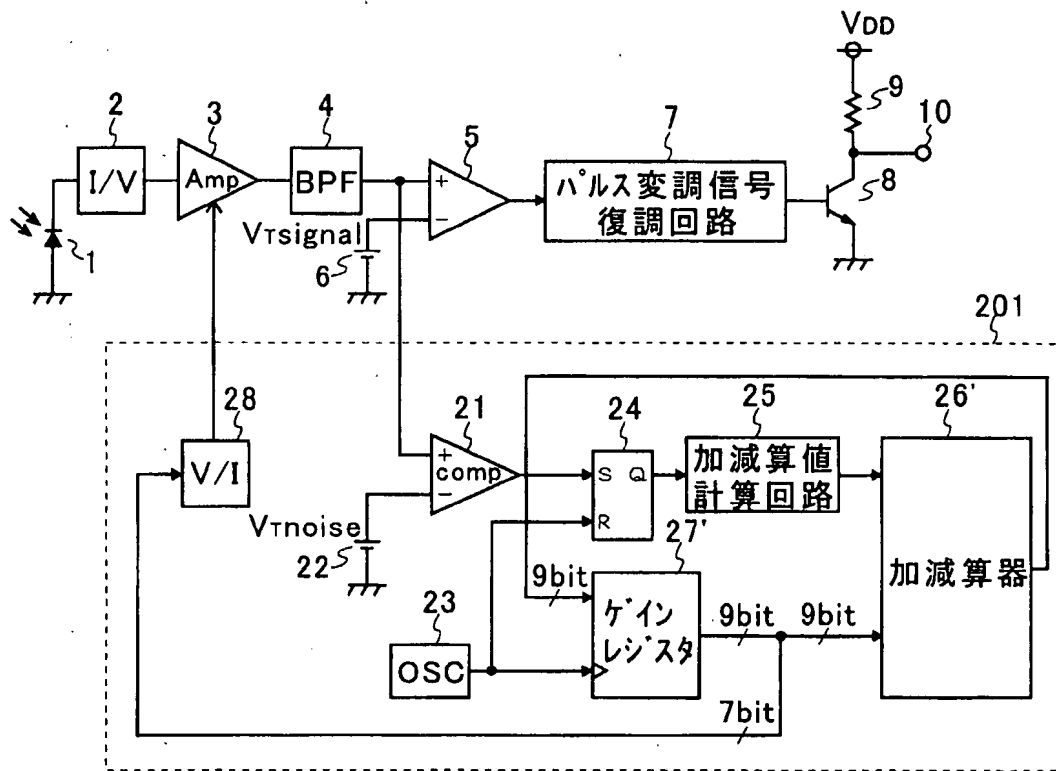
[図2D]



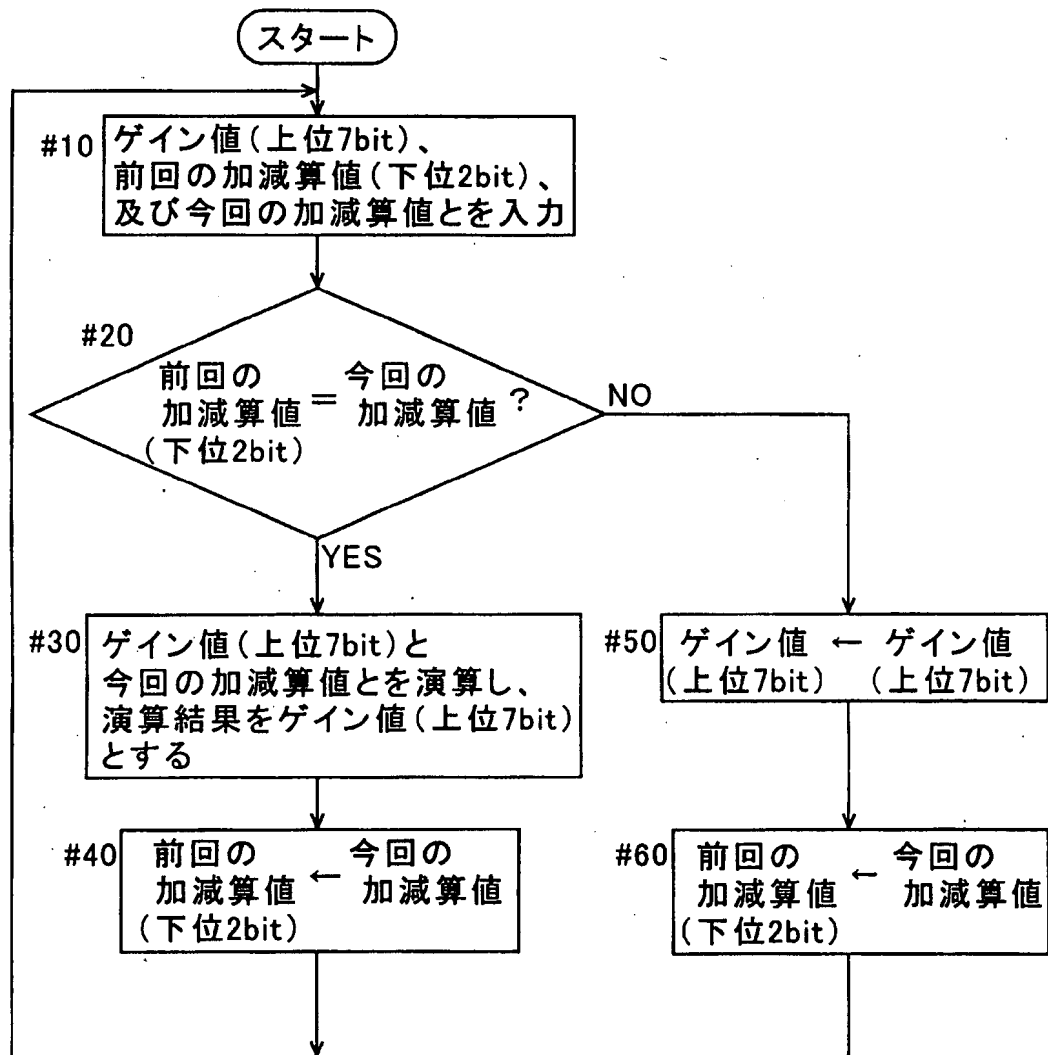
[図3]



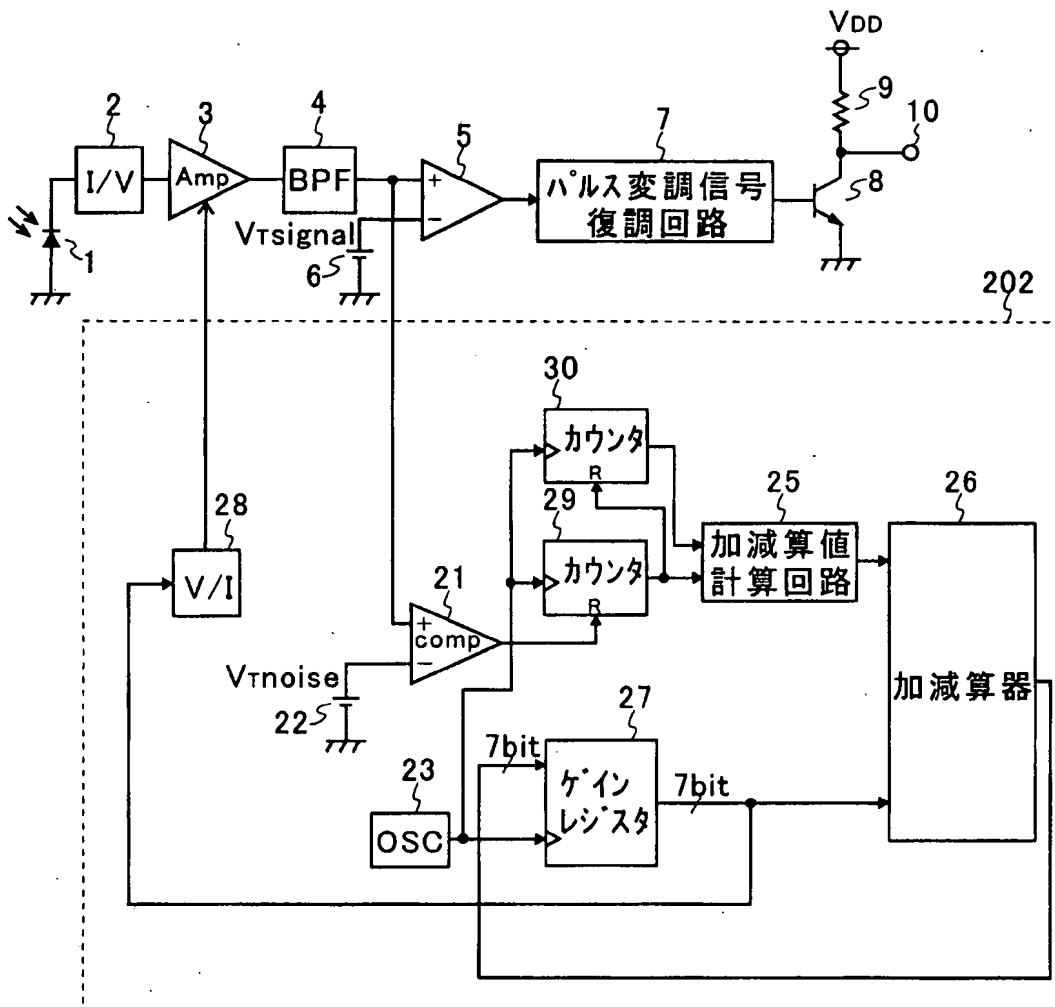
[図4]



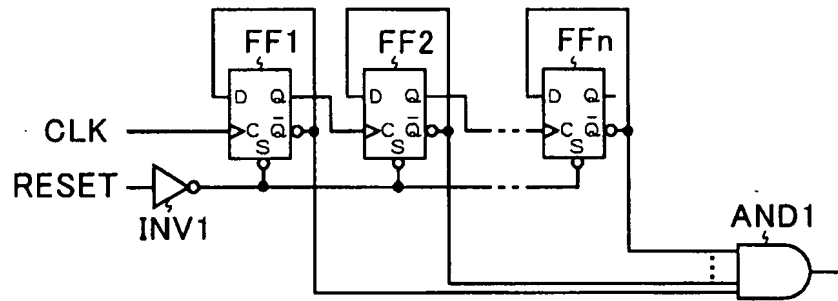
[図5]



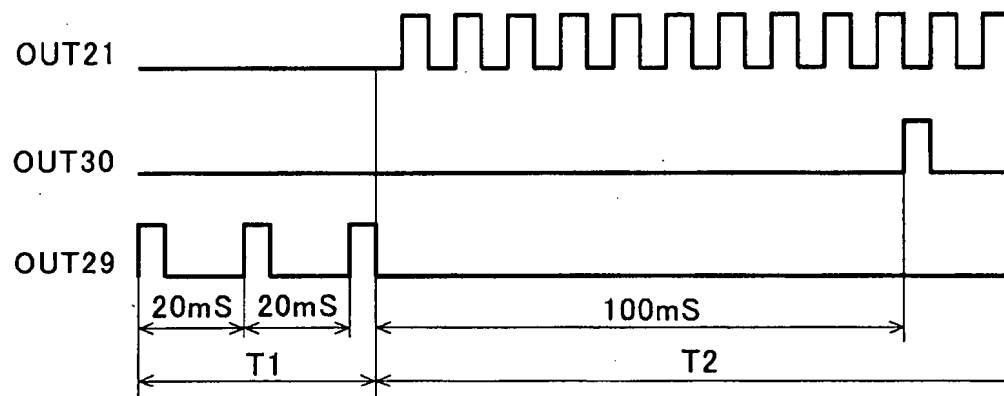
[図6]



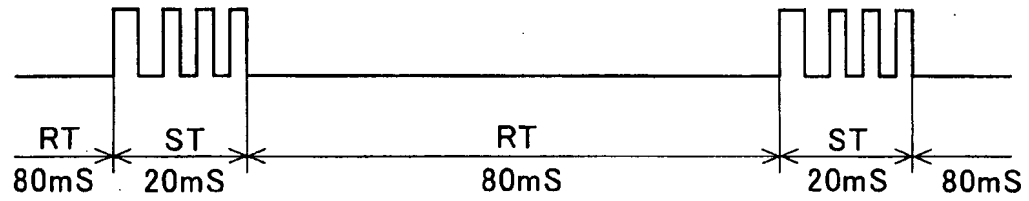
[図7]



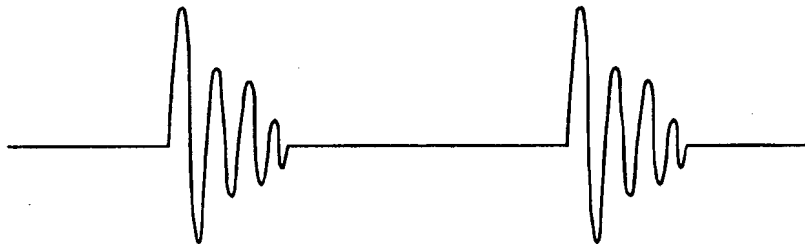
[図8]



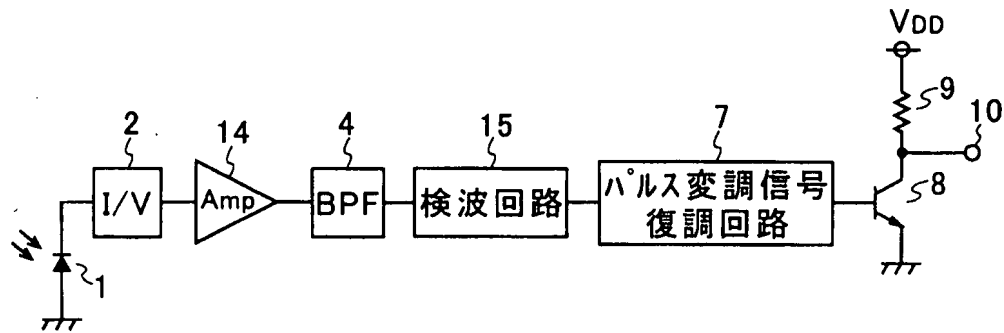
[図9]



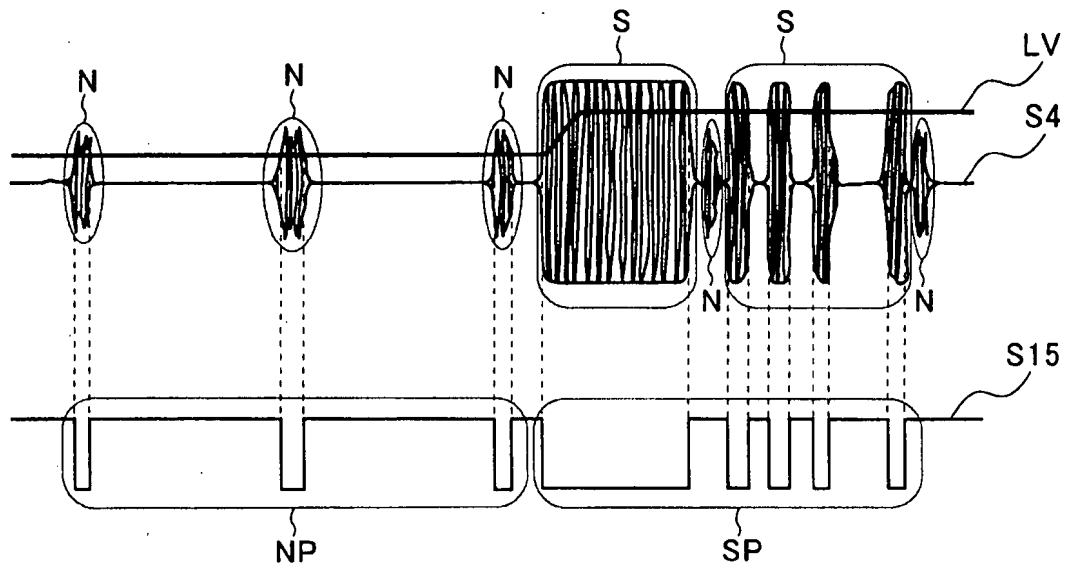
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012738

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. ⁷ H04B1/10, H04Q9/00, H04B10/02 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. ⁷ H04B1/10, H04Q9/00, H04B10/02 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-238087 A (Sharp Corp.), 23 August, 2002 (23.08.02), Par. No. [0005] (Family: none)	1-14
A	JP 11-331076 A (Sharp Corp.), 30 November, 1999 (30.11.99), Fig. 3 (Family: none)	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 September, 2005 (12.09.05)		Date of mailing of the international search report 27 September, 2005 (27.09.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012738

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-7 have a special technical feature relating to "a low pass filter having a cut-off frequency smaller than the frequency of the noise and greater than the reciprocal of the cycle of one frame of the signal repeated at a predetermined interval and the predetermined interval".

(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012738

Continuation of Box No. III of continuation of first sheet (2)

The inventions of claims 8-14 have a special technical feature relating to "a gain adjustment circuit including a comparison circuit for comparing the input signal to a predetermined noise level voltage; addition/subtraction circuit for outputting a predetermined value to be added or subtracted according to the signal based on the output of the comparison circuit; a gain register for temporarily storing a gain value; an adder/subtractor for calculating the predetermined value to be added or subtracted which is outputted from the addition/subtraction circuit together with the gain value outputted from the gain register and outputting the calculation result as the gain value to the gain register; and a gain control unit for adjusting the gain of an external variable gain device according to the gain value outputted from the gain register."

Accordingly, there exists no special technical feature common to the inventions of claims 1-7 and the inventions of claims 8-14. Consequently, the claims of the present application are divided into two groups of inventions.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ H04B1/10, H04Q9/00, H04B10/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H04B1/10, H04Q9/00, H04B10/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-238087 A (シャープ株式会社) 2002.08.23, 【0005】 (ファミリーなし)	1-14
A	JP 11-331076 A (シャープ株式会社) 1999.11.30, 第3図 (ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12.09.2005

国際調査報告の発送日

27.09.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

江口 能弘

電話番号 03-3581-1101 内線 3576

5W

8125

様式PCT/ISA/210 (第2ページ) (2004年1月)

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-7の特別な技術的特徴は、「ノイズの周波数より小さく、所定の時間を挟んで繰り返される信号の1フレームと前記所定の時間とを合わせた周期の逆数より大きいカットオフ周波数を有するローパスフィルタ」である。請求の範囲8-14の特別な技術的特徴は、「入力信号と所定のノイズレベル電圧とを比較する比較回路と、前記比較回路の出力に基づく信号に応じて所定の加算値又は所定の減算値を出力する加減算値計算回路と、ゲイン値を一時的に記憶するゲインレジスタと、前記加減算値計算回路から出力される所定の加算値又は所定の減算値と前記ゲインレジスタから出力されるゲイン値とを演算し、演算結果を前記ゲイン値として前記ゲインレジスタに出力する加減算器と、前記ゲインレジスタから出力されるゲイン値に応じて外部可変利得器のゲインを調整するゲイン制御部とを備えることを特徴とするゲイン調整回路」である。

したがって、請求の範囲1-7と請求の範囲8-14に共通な特別な技術的特徴はない。したがって、請求の範囲には2つの発明が記載されている。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2004年1月)

PUB-NO: WO2006018941A1

DOCUMENT-IDENTIFIER: WO 2006018941 A1

TITLE: JUDGMENT CIRCUIT, GAIN ADJUSTMENT CIRCUIT, SIGNAL
PROCESSING CIRCUIT, AND ELECTRIC DEVICE

PUBN-DATE: February 23, 2006

INVENTOR-INFORMATION:

NAME	COUNTRY
YANO, SHINJI	JP
NISHIKAWA, HIDETOSHI	JP

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ROHM CO LTD	JP
YANO SHINJI	JP
NISHIKAWA HIDETOSHI	JP

APPL-NO: JP2005012738

APPL-DATE: July 11, 2005

PRIORITY-DATA: JP2004238640A (August 18, 2004) , JP2004246161A (August 26,
2004)

INT-CL (IPC): H04B001/10, H04Q009/00 , H04B010/02

EUR-CL (EPC): H04B010/158